

(19)日本国特許庁 (J P)

(12) 公表特許公報 (A)

(11)特許出願公表番号

特表2002-533863

(P2002-533863A)

(43)公表日 平成14年10月8日(2002.10.8)

(51)Int.Cl.⁷

識別記号

F I

テームト(参考)

G 1 1 C 11/14

G 1 1 C 11/14

Z 5 F 0 8 3

11/15

11/15

H 0 1 L 27/105

H 0 1 L 43/08

Z

43/08

27/10

4 4 7

審査請求 未請求 予備審査請求 未請求(全 19 頁)

(21)出願番号 特願2000-590174(P2000-590174)

(86)(22)出願日 平成11年12月13日(1999.12.13)

(85)翻訳文提出日 平成12年8月9日(2000.8.9)

(86)国際出願番号 P C T / U S 9 9 / 2 9 3 1 0

(87)国際公開番号 W O 0 0 / 3 8 1 9 2

(87)国際公開日 平成12年6月29日(2000.6.29)

(31)優先権主張番号 0 9 / 2 1 5 , 3 8 6

(32)優先日 平成10年12月18日(1998.12.18)

(33)優先権主張国 米国 (U S)

(81)指定国 E P (A T , B E , C H , C Y ,
D E , D K , E S , F I , F R , G B , G R , I E , I
T , L U , M C , N L , P T , S E) , J P , K R , S
G

(71)出願人 モトローラ・インコーポレイテッド

M O T O R O L A I N C O R P O R A T
R E D

アメリカ合衆国イリノイ州シャンバーグ、
イースト・アルゴンクイン・ロード1303

(72)発明者 ピーター・ケイ・ナジ

アメリカ合衆国 アリゾナ州 85048 フ
ェニックス サウス・9ス・ストリート
14028

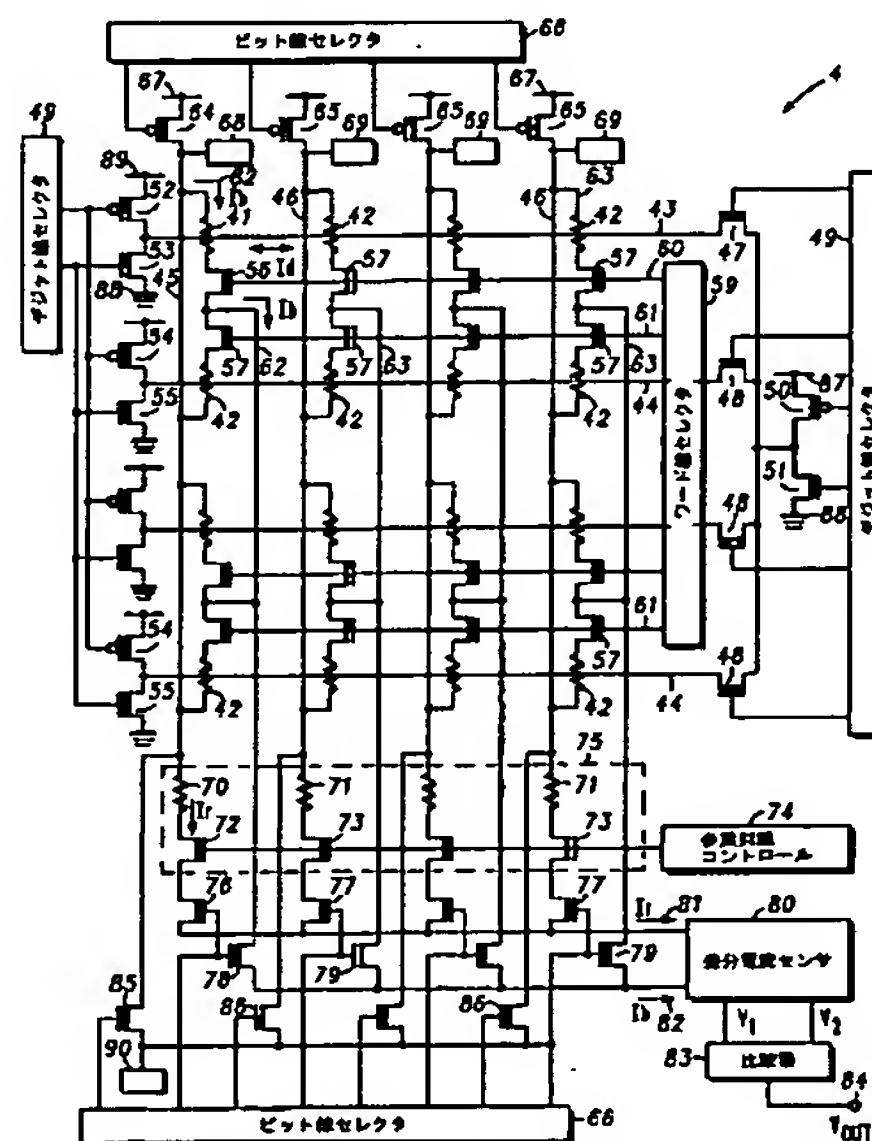
(74)代理人 弁理士 本城 雅則 (外1名)

Fターム(参考) 5F083 FZ10 GA01 GA05 GA09 GA11
LA10

(54)【発明の名称】 参照メモリ・アレイを有する磁気ランダム・アクセス・メモリ

(57)【要約】

MRAM装置(4)は、メモリ・アレイおよび参照メモリ・アレイ(75)を含む。メモリ・アレイは、情報を格納するために、列および行に磁気メモリ・セル(41, 42)を配置し、参照メモリ・アレイは、列線内に参照情報を保持するために参照メモリ・セル(70, 71)を形成する。磁気メモリ・セルは、セル内の磁気状態により最大抵抗($R + \Delta R$)および最小抵抗(R)を有する。各参照メモリ・セルは、磁気メモリ・セル(70, 71)およびトランジスタ(72, 73)を有し、それらは直列に結合され、参照メモリ・セルおよびトランジスタの両端に参照抵抗を有する。トランジスタは、参照列線制御(74)により制御され、これにより参照抵抗は、磁気メモリ・セルの最大抵抗と最小抵抗の間の中間値を示す。ビット線電流(I_b)と参照ビット線電流(I_r)とは、それぞれ磁気メモリ・セルと参照メモリ・セルとに提供される。磁気状態は、ビット線電流に変換され、それが参照ビット電流と比較されて出力される。



【特許請求の範囲】**【請求項1】** 第1導電線と、

前記第1導電線と直列に結合された磁気メモリ・セルであって、前記磁気メモリ・セルに格納された磁気ベクトルの方向により最小磁気抵抗と最大磁気抵抗の間に切り替わる磁気抵抗を有する、前記磁気メモリ・セルと、

第2導電線と、

前記第2導電線と直列に結合された参照磁気メモリ・セルであって、予め決められた磁気抵抗を有する、前記参照磁気メモリ・セルと、

前記参照磁気メモリ・セルと直列に結合された抵抗性要素であって、前記参照磁気メモリ・セルと前記抵抗性要素との両端の全抵抗が、前記最小磁気抵抗と前記最大磁気抵抗との間で設定されている、前記抵抗性要素と、

から構成されることを特徴とする磁気ランダム・アクセス・メモリ。

【請求項2】 第1入力および第2入力を有する比較器であって、前記第1入力は前記第1導電線と結合され、前記第2入力は前記第2導電線と結合されており、前記磁気抵抗を前記全抵抗と比較して出力する、前記比較器を含むことを特徴とする請求項1記載の磁気ランダム・アクセス・メモリ。

【請求項3】 前記比較器は、

前記第1導電線の第1電流と前記第2導電線の第2電流とを、それぞれ第1電圧と第2電圧とに変換するための変換器と、

前記第1電圧と前記第2電圧とを比較して出力する電圧比較器と、

を含むことを特徴とする請求項2記載の磁気ランダム・アクセス・メモリ。

【請求項4】 前記抵抗性要素が前記最小磁気抵抗と前記最大磁気抵抗との間で前記全抵抗を設定するトランジスタであることを特徴とする請求項1記載の磁気ランダム・アクセス・メモリ。

【請求項5】 前記全抵抗が前記最小磁気抵抗と前記最大磁気抵抗との間の中間点抵抗であるように、前記抵抗性要素が設定されることを特徴とする請求項1記載の磁気ランダム・アクセス・メモリ。

【請求項6】 第1スイッチが磁気メモリ・セルを活性化するために前記第1導電線と直接に結合され、かつ、第2スイッチが前記参照磁気メモリ・セルを活性

化するために前記第2導電線と直列に結合されることを特徴とする請求項1記載の磁気ランダム・アクセス・メモリ。

【請求項7】 メモリ・アレイであって、

各ビット線が電氣的に導電性を有する複数のビット線と、

各デジット線が電氣的に導電性を有し、前記ビット線に垂直に配置される複数のデジット線と、

各磁気メモリ・セルが前記複数のビット線と前記複数のデジット線との各交差点上に配置され、電氣的に前記ビット線と直列に結合された複数の前記磁気メモリ・セルを含む、メモリ・アレイと、

参照メモリ・アレイであって、

電氣的に導電性を有する参照線と、

各参照ビット線が電氣的に導電性を有する複数の前記参照ビット線と、

各参照磁気メモリ・セルが電氣的に各参照ビット線と直列に結合される複数の前記参照磁気メモリ・セルと、

各抵抗性要素が電氣的に参照磁気メモリ・セルと直列に結合し、電氣的に前記参照線と結合する複数の前記抵抗性要素を含む、参照メモリ・アレイと、

から構成されることを特徴とする磁気ランダム・アクセス・メモリ装置。

【請求項8】 前記複数の磁気メモリ・セルの各々最小抵抗値と最大抵抗値とを有し、前記磁気メモリ・セルの両端の全抵抗と抵抗性要素が前記最小抵抗値と前記最大抵抗値の間に設定されることを特徴とする請求項7記載の磁気ランダム・アクセス・メモリ。

【請求項9】 前記抵抗性要素がゲート電極を有するトランジスタであって、前記全抵抗が前記電極に提供される参照信号によって設定されることを特徴とする請求項8記載の前記磁気ランダム・アクセス・メモリ。

【請求項10】 非磁気層によって分離される磁気層を有する前記磁気メモリ・セルおよび前記参照磁気メモリ・セルから構成されることを特徴とする請求項7記載の磁気ランダム・アクセス・メモリ。

【発明の詳細な説明】**【0001】****【発明の属する技術分野】**

本発明は、一般に、磁気ランダム・アクセス・メモリに関し、さらに詳しくは、参照メモリ・アレイを有する磁気ランダム・アクセス・メモリに関する。

【0002】**【従来の技術】**

磁気抵抗性ランダム・アクセス・メモリ (MRAM) は、不揮発性メモリ装置の一つで、複数の磁気メモリ・セルを含む。磁気抵抗効果は、磁気層および非磁気層により交互に積み重ねられる多重層膜に現れることが知られている。磁気メモリ・セル両端の磁気抵抗は、磁気層内の磁気ベクトルがそれぞれ同一または反対方向を指すときに、最小値および最大値を示す。二つの磁気層内の磁気ベクトルが同一および反対方向の場合、それぞれを「平行(Parallel)」および「非平行(Anti-parallel)」状態と呼ぶ。磁気材料がメモリ装置のために使用される場合は、例えば、「平行」および「非平行」方向は、論理上それぞれ「0」または「1」状態と定義される。磁気層内の磁気ベクトルは、切替点の両端の磁界の印加により、非常に速く他の方向に切り替わり、磁界が無くなっても磁気方向を保持する。

【0003】

MRAM装置は、通常金属線の交差点上に配置された磁気メモリ・セルを有し、そのメモリ・セルは列と行に配置される。MRAM回路は、ビット線と参照（リファレンス）線とデジット線とを有するMRAMバンクを有する。参照線は、ビット線とは平行に、デジット線とは垂直に配置される。これらの線の各交差点上に、メモリ・セルと参照（リファレンス）セルが列と行に配置される。参照セルは、メモリ・セルに格納された状態を検出するために使用される。

【0004】

MRAM装置は、一般的に、半導体又はガラスのような基板上に形成される。磁気層と非磁気層とは、連続的に基板上に積み重ねられ、エッチングされて、磁気メモリ・セルを形成する。磁気メモリ・セルの大きさは、例えば、 $0.2\ \mu\text{m}$

×0.3 μm四方である。磁気層の厚さは、通常10–100 Åであり、非磁気層の厚さは、10–30 Åである。MRAM装置は、個別情報を格納するための磁気メモリ・セルと、参照状態が保たれている参照磁気メモリ・セルとを含む。磁気メモリ・セル（活性又は目標セル）内に格納された状態を読み出すために、検出（センス）電流と参照（リファレンス）電流とが、それぞれ目標セルと参照磁気メモリ・セル（参照セル）とに供給される。目標セルおよび参照セルは、セルの両端に電圧降下を引き起こすが、それは、目標セルおよび参照セルの磁気抵抗値にそれぞれ対応する。これらの電圧は互いに比較され、目標セル内の状態を決定する。それゆえ、目標セルと参照セルとを正確に比較するためには、関係する磁気抵抗の変動の無い磁気メモリ・セルを有するMRAM装置を提供することが望ましい。

【0005】

したがって、本発明の目的は、高速で高密度、かつ低電力のメモリを有する改良されたMRAM装置を提供することである。

【0006】

加えて、本発明の目的は、信頼性の高い読み出しプロセスを有する改良されたMRAM装置を提供することである。

【0007】

さらに、本発明の目的は、磁気メモリ・セル内の磁気抵抗の変動を減少する改良されたMRAM装置を提供することである。

【0008】

【発明の概要】

上記目的は、参照メモリ・アレイを含む磁気ランダム・アクセス・メモリ（MRAM）装置の提供によって実質的に達成される。MRAM装置は、ビット線とデジット線との交差点上に配置された複数の磁気メモリ・セルを有する。参照メモリ・アレイは、複数の参照セルと抵抗性要素とを有する。それぞれの参照セルは、抵抗性要素に直列に結合される。参照セルと抵抗性要素との両端の全抵抗は、目標セルの最大抵抗と最小抵抗との間の抵抗に設定される。これによって、目標セルの磁気抵抗と参照セルの磁気抵抗とを比較して、結果を出力することが可

能となる。全抵抗は、典型的には、最大抵抗値と最小抵抗値との中間点となる。

【0009】

【好適な実施例の詳細な説明】

図1は、MRAM装置の読み出し動作を描いた基本回路1を示す。セクタ10は、目標磁気メモリ・セル（目標セル）11と参照磁気メモリ・セル（参照セル）12とを選別する。目標セルと参照セルは、ワード線13とビット線14により分けられる。これらのセルは同じ構造で、それぞれが非磁気層により隔てられた磁気層を有する。構造およびその特性は、図2および図3に示されているが、以下、その詳細について説明する。目標セル11は、切替トランジスタ16、17を経て、電流センサ15と直列に結合される。一方、参照セル12は、トランジスタ18および切替トランジスタ19を経て、電流センサ15と直列に結合される。参照セル12およびトランジスタ18は、参照エレメント20を形成する。参照エレメント・コントローラ21は、参照列線22を経て、トランジスタ18に結合され、そこで、抵抗制御信号が提供され、トランジスタ18のドレインソース抵抗が決定する。電流センサ15は、ビット線23上のビット電流 I_b と参照ビット線24上の参照電流 I_r とを検出し、それぞれ電圧 V_1 と V_2 に変換する。電圧 V_1 、 V_2 は、それぞれ比較器25の正入力および負入力に印加される。図1に示すように、例えば、電流センサ15は、抵抗器26、27と増幅器28、29とから形成される。抵抗器26内に流れるビット電流 I_b は、抵抗器26の両端に電圧降下を引き起こすが、これが増幅器28によって増幅され、 V_1 の電圧が発生する。電流 I_r は、電流 I_b と同じ方法で、 V_2 に変換される。電流センサ15の出力は、比較器25に結合されており、ここで電圧 V_1 と V_2 が比較されて出力端子30に出力電圧 V_{out} が出力する。

【0010】

図2および図3は、それぞれ、単純化し、拡大した磁気メモリ・セル2の等角図、および、図2に示すセルのヒステリシス特性35である。他のタイプの磁気メモリ・セルが、メモリ装置に用られることは明らかである。セル2は、第1磁気層31と、第2磁気層32と、これらを隔てる非磁気層33との三層からなる。第1磁気層31および第2磁気層32は、例えば、 $CoFe$ や $NiFeCo$ の

ような磁気材料を使用する。第1磁気層31内の磁気ベクトルは、例えば、層31に隣接して配置される非強磁性層（図示せず）によって磁氣的に固定される。第2磁気層32は、磁氣的に自由であり、外部磁界に応答して磁気ベクトルが交互に変わる。非磁気層33は、例えば、 Al_2O_3 のような絶縁材で形成され、厚さはおよそ20 Åである。薄い層厚によって、非磁気層33は第1磁気層31と第2磁気層32との間にトンネル接合を形成し、そこをトンネル電流が流れる。図3に示すように、メモリ・セルの磁気抵抗は、第2磁気層32内の磁気方向に従って変化し、非磁気層33内のトンネル電流の方向を変化させる。米国特許番号5,757,695号に示すように、磁気層は、磁気をほぼ一列に並べるために作られる。

【0011】

図3を再度参照すると、図3の横軸は、セル2に印加する磁界の方向と強さを示す。縦軸は、セル2の磁気抵抗を示す。外部磁界が無い場合において、セル2の層31、32内の磁気ベクトルが「平行」状態（同方向）を示すと仮定すれば、外部磁界は、横軸に沿って右へ移動して値H1に達する。カーブ36で示すように、第2磁気（自由）層32内の磁気ベクトルは、磁界H1において左にスイッチされ、層31、32内の磁気ベクトルは、矢印37で示すように、「非平行」状態（反対方向）になる。したがって、セルの磁気抵抗は、Rから ΔR だけ増加する。次に、カーブ38で示すように、H1から磁界が変化して、第2磁気層32内の磁気ベクトルは、磁界H2において右にスイッチされる。したがって、磁気抵抗は、Rから ΔR だけ減少し、層31、32内の磁気ベクトルは、矢印39で示すように、「平行」方向を向く。メモリ・セル構造の例は、米国特許番号5,768,181号に示されている。

【0012】

図1を再度参照すると、セレクト10は、ワード線13上にワード信号を、ビット線14上にビット信号を与えるが、それらの信号が切替トランジスタ16, 17, 19をオンにし、ビット電流I_bを目標セル11に流す。目標セル11は、電流I_bの大きさを決定するが、それは目標セル11内に格納された磁気の状態による。参照エレメント・コントローラ21は、参照列線22上に抵抗コント

ロール信号を与えて、トランジスタ18のドレインソース抵抗をコントロールする。比較器25が、目標セル11の状態と参照セル12の状態を比較するために、トランジスタ18は、目標セル11の最大抵抗($R + \Delta R$)と最小抵抗(R)の間に、参照エレメント20の両端に全抵抗を形成する。全抵抗は、典型的には、 $R + \Delta R / 2$ に等しい中間点抵抗値である。電流 I_b および電流 I_r は、それぞれ電圧 V_1 および V_2 に変換され、それらは、比較器25で比較されて、出力端子30に出力電圧 V_{out} を出力する。電流 I_b が電流 I_r よりも小さい場合、すなわち、電圧 V_1 が電圧 V_2 よりも低い場合には、比較器25は出力端子30に低電圧を与える。これは、目標セル11が、最大抵抗($R + \Delta R$)を有し、「非平行」状態であることを意味する。反対に、電圧 V_1 が電圧 V_2 より高い場合には、比較器25は出力端子30に高電圧を与える。これは、目標セル11が、最小抵抗(R)を有し、「平行」状態であることを意味する。

【0013】

前述のように、トランジスタ18は、参照セル12とトランジスタ18との全抵抗のためにコントロールされ、磁気メモリ・セルの最大および最小抵抗の間に抵抗を形成する。これによって、比較器25は、目標セル11に格納されている磁気状態を決定することができる。

【0014】

図4を参照すると、MRAM装置のための回路4が示されている。複数の磁気メモリ・セル41, 42は、デジット線43, 44と参照ビット線45, 46との交差点上に列と行に配置される。デジット線43, 44は、それぞれトランジスタ47, 48およびトランジスタ50-55に結合される。デジット線セクタは、デジット線43, 44の一方を活性化し、デジット電流の方向を決定する。トランジスタ50, 51、トランジスタ52, 53、トランジスタ54, 55の各対は、デジット電流の電流方向を決定する。セル41, 42は、それぞれ切替トランジスタ56, 57と直列に結合される。トランジスタ56, 57のゲート電極は、ワード線60, 61を経てワード線セクタに結合される。

【0015】

参照ビット線45, 46は、デジット線43, 44と垂直に配置され、それぞ

れトランジスタ64, 65に結合される。トランジスタ64, 65のゲート電極は、共にビット線セクタ66に結合され、一方、トランジスタ64, 65のドレイン電極は、電源線67に結合される。プログラミング電流源68, 69は、磁気メモリ・セルに書き込み電流を供給するが、それぞれ参照ビット線45, 46に結合される。

【0016】

さらに、参照ビット線45, 46は、セル41, 42と同じメモリ構造を有する磁気メモリ・セル（参照セル）70, 71に結合される。参照セル70, 71は、それぞれトランジスタ72, 73と直列に結合される。トランジスタ72, 73のゲート電極は、共に、参照列線制御74に連結され、トランジスタ72, 73のドレイン・ソース抵抗値を制御する。参照セル70, 71およびトランジスタ72, 73は、破線で示された列線メモリ・アレイ75を構成する。参照セル70, 71は、図1の参照セル12と等価であり、一方、トランジスタ72, 73はトランジスタ18と等価である。トランジスタ72, 73は、それぞれトランジスタ76, 77に結合される。ビット線62, 63は、トランジスタ78, 79と直列に結合される。トランジスタ76, 77のソース電極は共に電流センサ80に結合され、矢印81で示した参照電流 I_r を供給する。トランジスタ78, 79のソース電極もまた、共に電流センサ80に結合され、矢印82で示したビット電流 I_b を供給する。センサ80の出力は、比較器83に結合され、出力端子84で出力電圧 V_{out} を出力する。電流センサ80および比較器83は、図1のセンサ15および比較器22と等価である。トランジスタ85, 86は、書き込みモード上でビット線セクタ66により制御されるが、これらは、それぞれ参照ビット線45, 46に結合される。

【0017】

次に、例えば目標セル41を検出する場合、読み出しモードは以下の手順により実行される。まず、ワード線セクタ59が、トランジスタ56をオンにするために、ワード線60上にワード信号を提供する。参照列線制御74は、トランジスタ72に抵抗制御信号を送るが、これは、参照セル70とトランジスタ72との両端に中間点抵抗値 $(R + \Delta R / 2)$ と等価を与える。最後に、ビット線セ

レクタ66が、トランジスタ76, 78をオンにするための信号、および、トランジスタ64へ参照ビット線45を活性化するための信号を与える。これによって、トランジスタ64, 76, 78は全てオンになる。その結果、トランジスタ56, 64, 72, 76, 78の活性は、図1の基本回路と同様の回路をMRAM装置回路4の中に形成し、ビット電流 I_b および参照ビット電流 I_r をビット線62および参照ビット線45に流す。すなわち、ビット電流 I_b は、電源線67からトランジスタ64、目標セル41、トランジスタ56, 78を経て、電流センサ80へ流れ、参照ビット電流 I_r は、電源線67からトランジスタ64、目標セル81、トランジスタ72, 76を経て、電流センサ80へ流れる。

【0018】

図1で述べたように、ビット電流 I_b および参照ビット電流 I_r は、セル41内に格納された状態により変化する。電流センサ80は、これらの電流 I_b と I_r とを、それぞれ電圧 V_1 と V_2 とに変換し、比較器83へ送る。比較器83は、電圧 V_1 と電圧 V_2 とを比較し、出力端子84で出力電圧 V_{out} を出力する。出力端子84は、通常、コンピュータ・システムのデータ・バス（図4に図示せず）と結合される。

【0019】

磁気メモリ・セル内に状態を書き込むために、デジット電流とビット電流とが、デジット線と参照ビット線とに供給される。デジット電流とビット電流は、それぞれ磁界を発生するが、それらの結合磁界は、セル内の状態を変化させるのに十分である。結合磁界の方向は、セル内に格納された状態により決定する。例えば、セル41が状態を書き込むためにアクセスされる場合は、デジット線セレクタ49が、トランジスタ47をオンにしてデジット線43を活性化し、そしてビット線セレクタ66が、トランジスタ85をオンにしてビット線45を活性化する。トランジスタ56, 64, 76, 78は、セル41内に電流が流れ込むのを阻止するために、すべてオフにされる。トランジスタ85をオンにすることによって、ビット電流が、電流ソース68から参照ビット線45およびトランジスタ85を経て電流シンク90へ流れる。ビット電流は、結合磁界の半分に寄与する。デジット線セレクタ49は、デジット線43にデジット電流を供給するのみな

らず、セル41内に格納された状態によって電流の方向を決定する。デジタル電流は、残り半分の結合電界の発生に貢献する。

【0020】

論理「0」がセル41内に書き込まれる場合、デジタル線セクタ49は、トランジスタ50、53をオンにし、トランジスタ51、52をオフにする。これによって、デジタル電流 I_d が、電力源87からトランジスタ50、47、デジタル線43、トランジスタ53を経て共通線88へ流れる。デジタル電流 I_d により、結合磁界がセル41内に「平行」状態を形成する。一方、論理「1」がセル41内に格納された場合は、トランジスタ51、52はオンになり、トランジスタ50、53はオフになる。したがって、デジタル電流 I_d がデジタル線43に供給され、電流源89からトランジスタ52、デジタル線43、トランジスタ47、51を経て共通線87へ流れる。このデジタル電流は、セル41内に「非平行」状態を形成するための結合磁界を作り出す。

【0021】

図5を参照すると、他のタイプのMRAM回路5が示されている。MRAM回路5は、共有ビット線91、92および共有ビット線セクタ93を除き、回路4と同じである。MRAM回路5は、共有ビット線を有するために、より小さいチップ面積で、かつ、より高密度のMRAM装置を得ることができる。図4と同じ参照番号を有する図5の部分は、図4の対応する要素と同じである。同じ回路構成の説明については、簡略化のために省略する。

【0022】

トランジスタ94、95のソース電極は、図4のトランジスタ75に対応しているが、共に共有ビット線91に結合される。トランジスタ96は、共有ビット線91で差分電流センサ80に結合している。一方、共有ビット線92は、トランジスタ97を経て、差分電流センサ80に結合している。ビット線セクタ93は、トランジスタ98-101の一つを選別し、ビット電流と参照ビット電流を供給する。

【0023】

例えば、メモリ・セル41の読み込み動作において、ビット線セクタ66、

93が、トランジスタ76, 96, 98をオンにする。これと同時に、ワード線セクタ59が、トランジスタ94にワード線信号を与える。一方、参照列線制御74が、参照列線信号をトランジスタ72に与える。トランジスタ98, 94, 96をオンにしたとき、矢印82で示したビット電流 I_b が、電源線67からトランジスタ98、セル41、トランジスタ94、共有ビット線91、トランジスタ96を経て差分電流センサ80へ流れる。また、矢印81で示した参照ビット電流 I_r が参照セル70内で供給され、トランジスタ72, 76を経て電流センサ80へ流れる。

【0024】

前述のように、差分電流センサ80は、電流 I_b と I_r との両者を検出し、それらをそれぞれ電圧 V_1 と V_2 とに変換する。比較器83は、電圧 V_1 と V_2 とを比較し、出力端子84に出力電圧 V_{out} を出力するが、これは、磁気セル41内に格納された磁気状態に対応する。

【0025】

次に、メモリ・セル42内の状態を読み出すためには、トランジスタ99, 95, 96がオンにされ、これによって、ビット電流が、電源線67からトランジスタ99、セル42、トランジスタ95、共有ビット線91、トランジスタ96を経て電流センサ80に流れる。すなわち、共有ビット線91は、セル41のみならず、セル42の検出にも用いられる。さらに、磁気メモリ・セル102, 103は、共有ビット線91にも使用され、電源線67から電流センサ80へビット電流を供給する。

【0026】

メモリ・セル41内の状態を格納するためには、例えば、ビット線セクタ66がトランジスタ85をオンにし、参照ビット線45にアクセスする。これによって、電流ソース68が、参照ビット線45上のビット電流を電流シンク90に供給する。さらに、デジット線セクタ49がトランジスタ47, 50-53を制御して、デジット線43上にデジット電流を供給する。これらの過程は、図4に示した回路4で前述したものと同様である。

【0027】

以上のように、新規かつ改良されたMRAM装置は十分に開示され、それは、列線内に参照メモリ・アレイを含む。参照メモリ・アレイは、磁気メモリ・セルの関連する抵抗変動を補償して解消し、これが、安定した読み出し機能並びに高速性、高信頼性を提供する。

【図面の簡単な説明】

【図1】読み出しモードにおけるMRAM装置で形成される基本電流を示す。

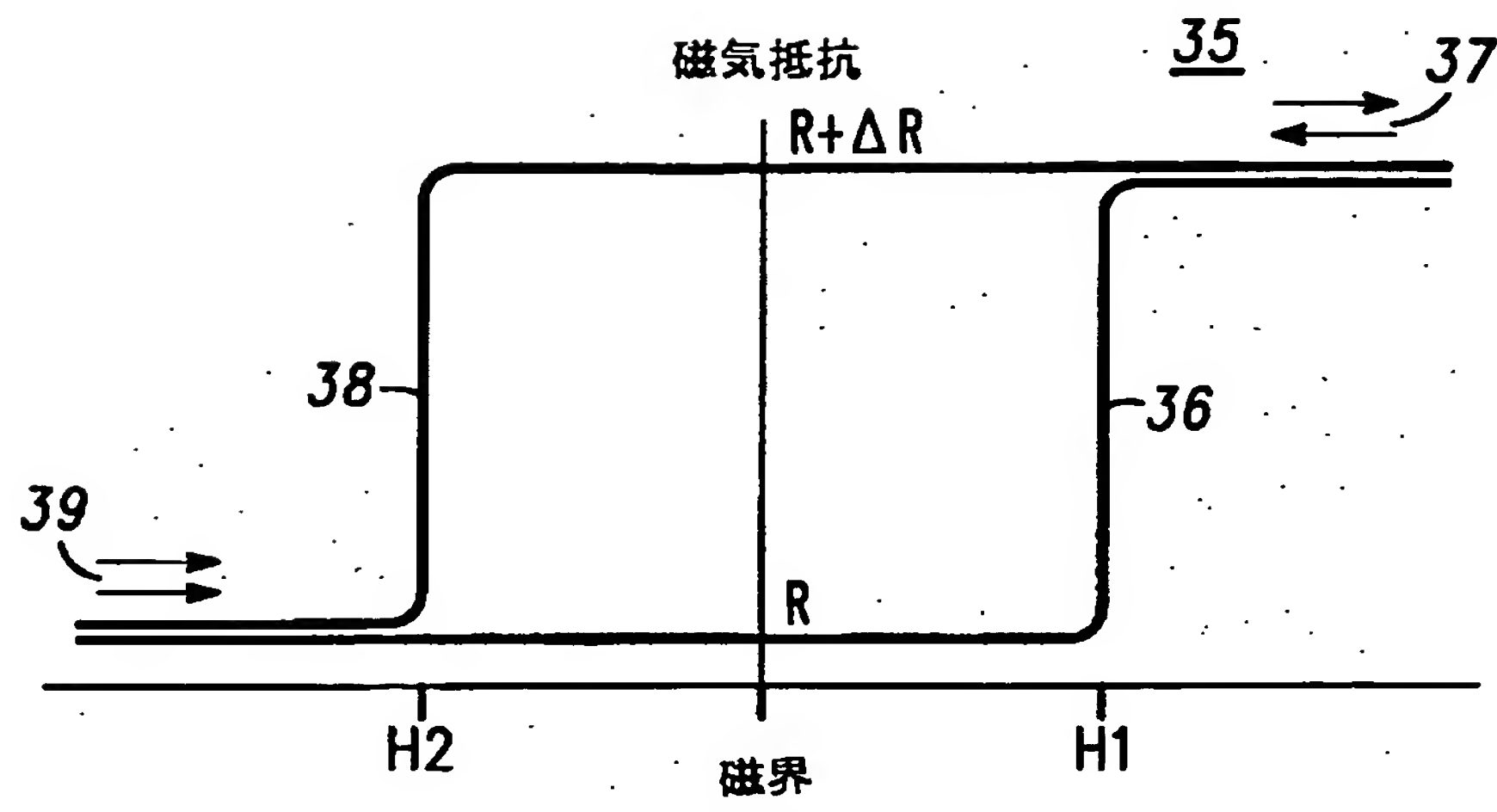
【図2】非磁気層によって隔てられた磁気層を有する磁気メモリ・セルを単純化して拡大したものである。

【図3】図2に示した磁気メモリ・セルのヒステリシス特性を示すグラフである。

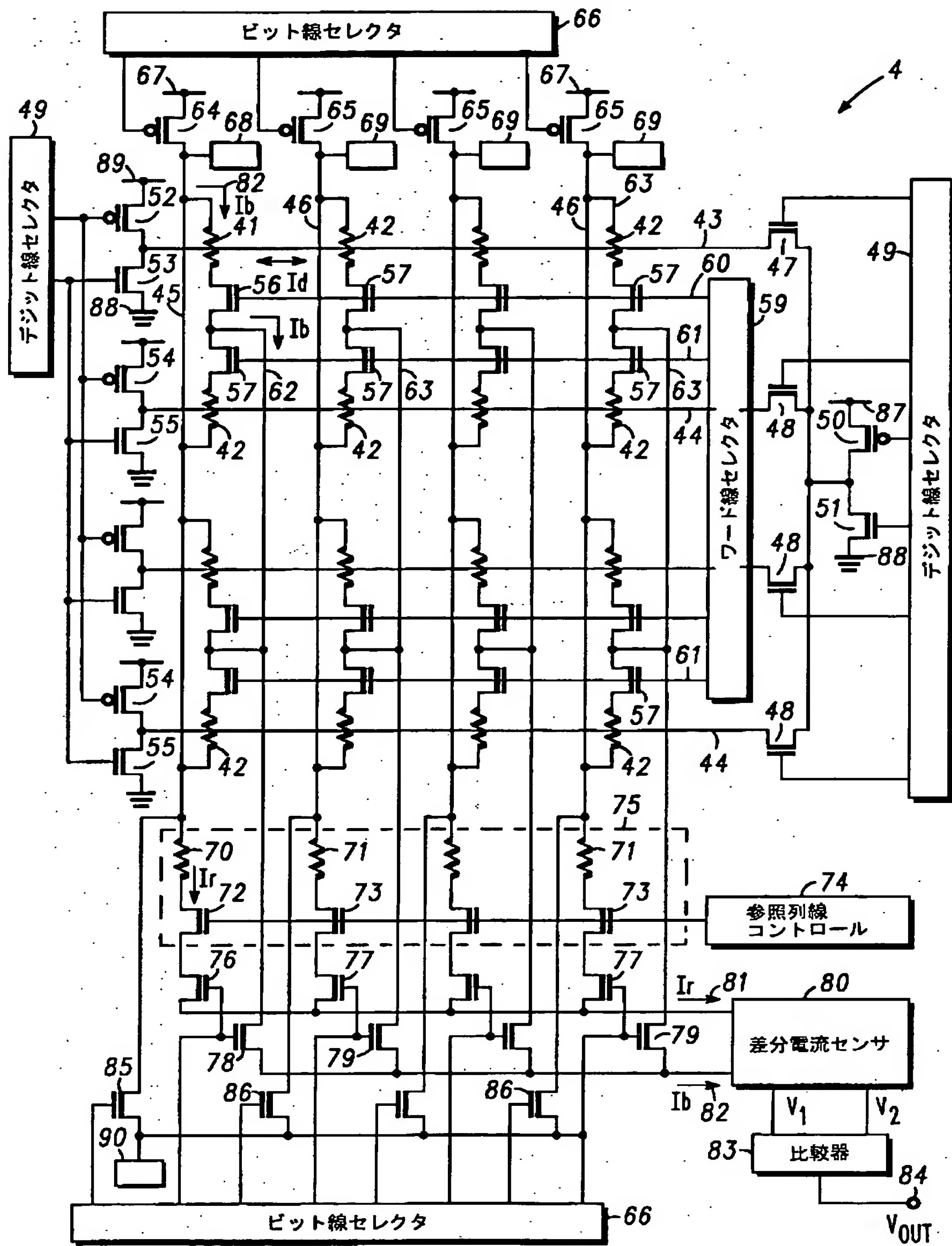
【図4】MRAM装置回路を示す。

【図5】別のMRAM装置回路を示す。

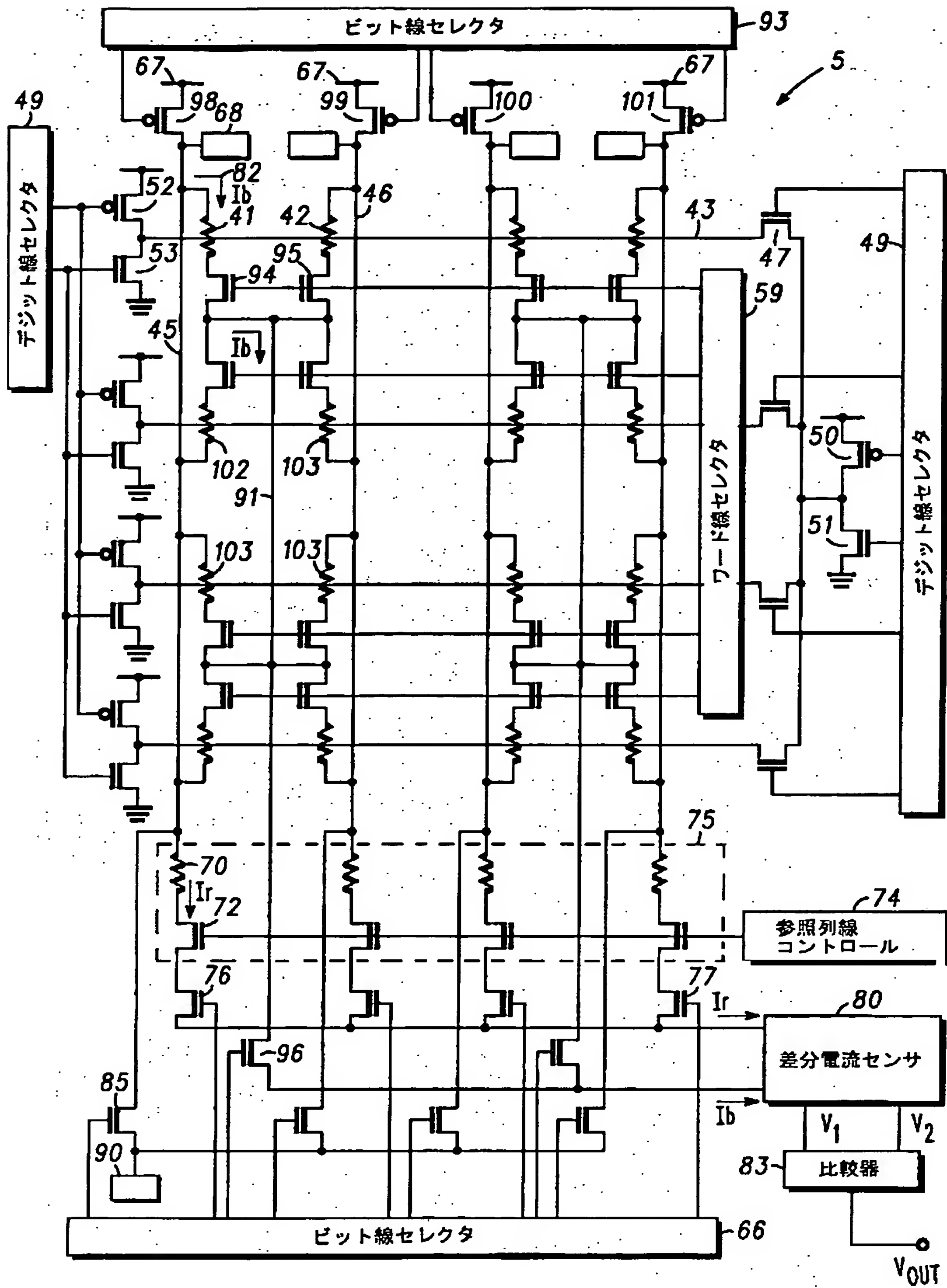
【図3】



【図4】



【図5】



【国際調査報告】

INTERNATIONAL SEARCH REPORT

International Application No PCT/US 99/29310	
A. CLASSIFICATION OF SUBJECT MATTER IPC 7 G11C11/16 G11C11/15	
According to International Patent Classification (IPC) or to both national classification and IPC	
B. FIELDS SEARCHED Minimum documentation searched (classification system followed by classification symbols) IPC 7 G11C	
Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched	
Electronic data base consulted during the international search (name of data base and, where practical, search terms used)	
C. DOCUMENTS CONSIDERED TO BE RELEVANT	
Category *	Citation of document, with indication, where appropriate, of the relevant passages Relevant to claim No.
A	EP 0 613 148 A (IBM) 31 August 1994 (1994-08-31) page 3, column 4, line 42 -page 4, column 5, line 22; figure 3
A	US 5 173 873 A (WU JIIN-CHUAN ET AL) 22 December 1992 (1992-12-22) column 5, line 23 -column 6, line 45
<input type="checkbox"/> Further documents are listed in the continuation of box C.	
<input checked="" type="checkbox"/> Patent family members are listed in annex.	
* Special categories of cited documents: "A" document defining the general state of the art which is not considered to be of particular relevance "E" earlier document but published on or after the international filing date "L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified) "O" document referring to an oral disclosure, use, exhibition or other means "P" document published prior to the international filing date but later than the priority date claimed "T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention "X" document of particular relevance: the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone "Y" document of particular relevance: the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art "S" document member of the same patent family	
Date of the actual completion of the international search 19 April 2000	Date of mailing of the international search report 28/04/2000
Name and mailing address of the ISA European Patent Office, P.B. 5818 Patentlaan 2 NL - 2280 HV Rijswijk Tel. (+31-70) 340-2040, Tx. 31 551 epo nl, Fax: (+31-70) 340-3016	Authorized officer Degraeve, L

INTERNATIONAL SEARCH REPORT

Information on patent family members

Int. Appl. No.
PCT/US 99/29310

Patent document cited in search report	Publication date	Patent family member(s)	Publication date
EP 0613148 A	31-08-1994	US 5343422 A	30-08-1994
		JP 2784439 B	06-08-1998
		JP 6295419 A	21-10-1994
US 5173873 A	22-12-1992	NONE	